

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-283533

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/165

(21)Application number : 08-092346

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.04.1996

(72)Inventor : NOZAWA KATSUYA  
KUBO MINORU

## (54) HETERO JUNCTION BIPOLAR TRANSISTOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a hetero junction bipolar transistor(HBT) using SiGeC.

SOLUTION: Sequentially grown on a p type Si substrate

61 are a high- concentration, n type region Si layer 62,

an n type Si layer 63 thereon to be later used as a

collector region, a p type Si layer 64 thereon to be later

used as a base region, and an n type SiGeC mixed

crystal layer 65 thereon to be later used as an emitter

region. These layer are epitaxially grown to avoid

generation of dislocation of respective junction

interfaces. With such an structure, the substrate, the

collector region, the base region and the emitter region

are set to have an identical lattice constant of Si, so

that lattice misalignment caused by the hetero junction

will not take place and thus lattice defects caused by

distortion resulting from the lattice misalignment will not

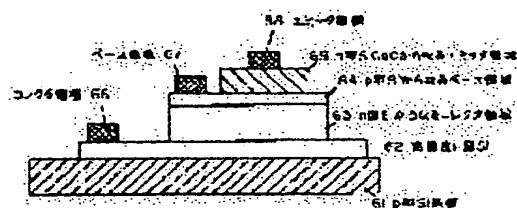
occur. Due to the lattice alignment, a critical film

thickness is not present and thus a film can be crystal-

grown to a desired thickness. In this way, when the

emitter region is made of the SiGeC mixed crystal, a problem of lattice misalignment, which

would be inevitable in a conventional HBT based on SiGe mixed crystal, can be solved.



## LEGAL STATUS

[Date of request for examination] 26.04.2000

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283533

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.<sup>9</sup>H 0 1 L 21/331  
29/73  
29/165

識別記号

庁内整理番号

F I

H 0 1 L 29/72  
29/165

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平8-92346

(22) 出願日

平成8年(1996)4月15日

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 能澤 克弥

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 久保 実

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

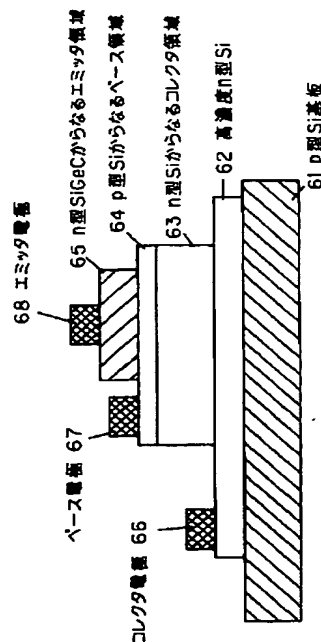
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタ

(57) 【要約】

【課題】 SiGeCを用いたHBTを提供する。

【解決手段】 p型Si基板61上に高濃度n型領域Si62を成長させ、その上にコレクタ領域となるn型Si層63を成長させ、その上にベース領域となるp型Si層64を成長させ、その上にエミッタ領域であるn型SiGeC混晶65を成長させる。これらは、各接合界面は転位が発生しないようにエピタキシャル成長させている。この構成では、基板、コレクタ領域、ベース領域、エミッタ領域のすべてで格子定数をSiに一致させているため、ヘテロ接合に伴う格子不整合は発生せず、従って格子不整合に起因する歪みによる格子欠陥は発生しない。また格子整合系であるため、臨界膜厚は存在しないため、希望する任意の膜厚を結晶成長させることができる。このように、SiGeC混晶をエミッタ領域に使用すれば、SiGe混晶によるHBTでは不可避であった格子不整合の問題を解決することが出来る。



## 【特許請求の範囲】

【請求項1】半導体からなるコレクタ領域、SiもしくはSiとGeとの混晶もしくはSiとGeとCとの混晶からなるベース領域、SiとGeとCとの混晶からなるエミッタ領域を設け、前記エミッタ領域のバンドギャップが、前記ベース領域のバンドギャップより大きくなるようにエミッタ領域およびベース領域の混晶の組成比を選択したヘテロ接合バイポーラトランジスタ。

【請求項2】エミッタ領域とベース領域の接合面において、エミッタ領域とベース領域を構成する半導体の格子定数がほぼ一致するように、エミッタ領域およびベース領域の混晶の組成比を選択した請求項1に記載のヘテロ接合バイポーラトランジスタ。

【請求項3】エミッタ領域とベース領域の接合面において、エミッタ領域とベース領域を構成する半導体の格子定数が異なり、格子定数の違いによる歪みによりベース領域もしくはエミッタ領域もしくはその両方のバンド構造が変化するようにし、また格子定数の違いによる歪みにより転位が発生しないように、エミッタ領域およびベース領域の混晶の組成比と膜厚を選択した請求項1に記載のヘテロ接合バイポーラトランジスタ。

【請求項4】半導体からなるコレクタ領域、SiもしくはSiとGeとの混晶もしくはSiとGeとCとの混晶からなるベース領域、SiとGeとCの混晶からなるエミッタ領域を設け、エミッタ領域のバンドギャップがベース領域との接合部分でベース領域のバンドギャップと同一の値をとり、ベース領域との接合部分からエミッタ領域の内部に向かって連続的もしくは段階的にバンドギャップが大きくなるようにエミッタ領域の混晶の組成比を空間的に変化させた部分が存在するヘテロ接合バイポーラトランジスタ。

【請求項5】半導体からなるコレクタ領域、SiとGeとの混晶もしくはSiとGeとCとの混晶からなるベース領域、SiとGeとCの混晶からなるエミッタ領域を設け、ベース領域のバンドギャップがエミッタ領域との接合部分でエミッタ領域のバンドギャップと同一の値をとり、エミッタ領域との接合部分からベース領域の内部に向かって連続的もしくは段階的にバンドギャップが小さくなるようにベース領域の混晶の組成比を空間的に変化させた部分が存在するヘテロ接合バイポーラトランジスタ。

【請求項6】半導体からなるコレクタ領域、SiとGeとの混晶もしくはSiとGeとCとの混晶からなるベース領域、SiとGeとCの混晶からなるエミッタ領域を設け、ベース領域のバンドギャップがエミッタ領域との接合部分でエミッタ領域のバンドギャップと同一の値をとり、エミッタ領域との接合部分からベース領域の内部に向かって連続的もしくは段階的にバンドギャップが大きくなるようにベース領域の混晶の組成比を空間的に変化させた部分が存在し、エミッタ領域のバンドギャップが、ベース領域との接合部分からエミッタ領域の内部に向かって連続的

もしくは段階的にバンドギャップが小さくなるようにエミッタ領域の混晶の組成比を空間的に変化させた部分が存在するヘテロ接合バイポーラトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はエミッタ領域のバンドギャップがベース領域のバンドギャップよりも大きくなるような半導体の組み合わせにより構成されたヘテロ接合バイポーラトランジスタ(HBT)に関する。

## 【0002】

【従来の技術】エミッタ領域のバンドギャップをベース領域より大きくすることにより、エミッタの注入効率を大幅に向上させ、トランジスタの電流利得を増大させるヘテロバイポーラトランジスタ(以下HBT)の概念は1948年にShockleyにより提唱され、従来から高機能素子として注目を集めていた。HBTにおける最高電流利得 $\beta_{max}$ は、エミッタキャリア濃度 $N_e$ 、ベースキャリア濃度 $P_b$ 、電子及び正孔の平均速度をそれぞれ $v_{nb}$ 、 $v_{pe}$ 、エミッタとベース領域のバンドギャップの差を $\Delta E_g$ とすると $\beta_{max} = N_e / P_b \cdot v_{nb} / v_{pe} \cdot \exp(\Delta E_g / kT)$ で与えられる。ここで、 $k$ はボルツマン定数であり、 $T$ は温度である。 $\Delta E_g = 0$ の時の値を1として、 $\Delta E_g$ と温度を変化させた場合の $\beta_{max}$ の値の変化を図1に示す。

【0003】この図から明らかなように、 $\beta_{max}$ は $\Delta E_g$ に対し指数関数的に依存するので、 $T$ として300K(27°C)をえらび、 $\Delta E_g = 0.3\text{eV}$ の場合を考えると $\beta_{max}$ は $\Delta E_g = 0$ の場合に比べて約110000倍大きくなる。この $\Delta E_g$ による $\beta_{max}$ の改善効果をそのまますべて電流利得の改善に用いることもできるが、逆に $\beta_{max}$ の値を $\Delta E_g = 0$ のバイポーラトランジスタと同程度の値に抑えるならば、エミッタ領域のキャリア濃度 $N_e$ を十分小さくし、またベースのキャリア濃度 $P_b$ を十分大きくすることができることになる。 $N_e$ を小さくするとエミッターベース間の接合容量を低減でき、 $P_b$ すなわちベースにおけるドーパントの濃度を高めるとベースの抵抗が下がる。これら二つの効果によりトランジスタの高周波動作が可能になる。つまり最大発振周波数 $f_{max}$ が大きいトランジスタが実現できる。最大発振周波数の高いトランジスタは、携帯電話等の移動体通信分野において不可欠のデバイスであるため、その需要拡大に伴い、高速動作可能なHBTに対する要望は高まる一方である。

【0004】(SiGeを用いたHBT) これら、HBTは従来GaAs半導体とAlGaAs半導体の組み合わせなどにより制作されていた。それに対し近年、Geのバンドギャップ(0.66eV)がSiのバンドギャップ(1.12eV)よりも小さいためSiGe混晶のバンドギャップがSiのものよりも小さくなることを利用したSiGe混晶半導体を使用したHBTが開発され注目を集めている。

【0005】SiGe混晶のバンドギャップの組成比依存性を図2に示す。本図は1993年のJournal of Crystal Gro

with誌の425頁に掲載されたA. R. Powellらの論文から引用した。なお、後述するように、混晶に歪み加わった場合バンドギャップが変化するので、歪みが存在しない場合のバンドギャップの値1とSiとの接合による歪みを受けている場合のバンドギャップの値2の両方を示す。どちらの場合でも単体のSiに比べればバンドギャップが小さくなっているのは明らかである。なお、Siとの接合により発生する歪みの効果でSiGe混晶のバンドギャップが変化しバルクの状態に比べ小さくなっているのが分かる。

【0006】この、SiとSiGeとの組み合わせによるHBTの制作例では、たとえば、Daimler-Benz社により制作され、1995年度のIEDMにおいて発表された $f_{max}=160\text{GHz}$ のHBTをあげることができる(1995年IEDM Technical Digest 743頁参照)。このSiGe混晶を用いたHBTは、長年の技術蓄積の成果により高度で大規模な集積回路を実現しているSiプロセスとの整合性や、Asを大量には使用しないという環境への配慮などの点でGaAsを用いたHBTに対し有利であるため非常に期待されている技術である。

【0007】しかしながら、SiとGeの場合、それぞれ単体の場合の格子定数は $5.43\text{\AA}$ と $5.65\text{\AA}$ であり、格子不整合は4%以上にも及ぶ。そのため、SiとGeの中間の格子定数を持つSiGe混晶半導体を単体のSi上に結晶成長させる場合、格子不整合に起因する歪みを結晶がうけることとなり、ある一定の厚さ(臨界膜厚)以上にSiGe混晶をSi上に結晶成長させると転位等の結晶欠陥が発生してしまう問題が生じる。格子不整合の割合と臨界膜厚の関係を図3に示す。これはThomas P. Pearsall著 Strained-Layer Superlattices: Physics (Academic Press, Inc. 刊) 3頁より引用した。

【0008】この格子不整合の問題はSiGe混晶をベース領域に使用し、Siをエミッタ領域に使用するHBTの制作の場合においても当然発生する。従って、結晶欠陥を抑制するためにはSiGe混晶の膜厚を臨界膜厚以下に制限する必要がある。一方、SiGe半導体において、Geの組成比を小さくすれば混晶の格子定数はSiの格子定数に近づくため、SiGe混晶とSi結晶とのヘテロ界面における格子不整合に起因する歪みは抑えることができるが、この場合格子定数とともにバンドギャップの差がSiGe混晶とSiとの間で小さくなるため、ヘテロ接合間でのバンドギャップの差を利用して高性能を実現するHBTの場合、このようにバンドギャップの差を制限する方法は好ましくない。

【0009】また、SiGeの場合バンドギャップは必ずSiよりも小さく、Geの組成比を上げるに従いバンドギャップが減少するため、エミッタ領域のバンドギャップをベース領域のバンドギャップに比べて大きく取ることによる性能向上を目的としたHBTの場合、その組成比の組み合わせは必然的に制限され、例えばSiGe混晶とSiとの組み合わせの場合、ベース領域にSiGe混晶を、エミッタ領

域にSiを使用することとなる。

【0010】(SiGeCを用いたHBT) また、その一方で同じ4族の元素であるCを加えてSiGeC三元混晶を利用した半導体が近年提唱され、注目されている。これは、CがSiやGeよりも小さな格子定数を持つことによりCをSiGe混晶に加えると格子定数を小さくすることができ、Siとヘテロ接合する際の格子不整合を緩和することができるためである。

【0011】実際にSiGeC混晶を利用したHBTについてはL. D. Lanezerottiらがベース領域のみにSiGeC混晶を使用し、エミッタ領域とコレクタ領域にSiを使用したものを制作し、1994年のIEDMにおいて報告している(1994年 IEDM Technical Digest 930頁参照)。この例の構造概念図を図4に示す。

【0012】しかしこの制作例のように、エミッタ領域にSiを使用しベース領域のみにSiGeC混晶を用いた場合、格子不整合を緩和するためにSiの格子定数に近づけなければならないという制限と、HBTの長所を発揮させるためにバンドギャップをエミッタ領域のSiのバンドギャップより小さくせねばならないという二つの制限要素が発生するため、混晶比すなわち格子定数とバンドギャップ等の選択可能範囲が著しく制限される。また、エミッタ領域が単一元素の半導体により構成されるため、空間的なバンドギャップ変化を与えることが出来ず、ベースオン電圧の均一性向上やデジタル回路における電源電圧の低減に有効な、エミッタ領域において空間的にバンドギャップを連続に変化させたいいわゆる傾斜型エミッタ構造を実現することができない。

【0013】

【発明が解決しようとする課題】従来のSiとGeおよびそれら2種の混晶を利用したHBTの場合、エミッタ領域のバンドギャップをベース領域のバンドギャップより大きくする場合、必ずエミッタ領域とベース領域で格子定数の差が生じ、その格子定数の差により歪みが発生し、良好な結晶性を保ったまま積層できる結晶膜厚に限界が生じる。また、バンドギャップと格子定数は結晶に加わる歪みが固定されている場合、一方を決定すると他方が必然的に決定するため、両者を自由に選択することができない。したがって、格子不整合の割合を抑えるためには取り得るバンドギャップの差が小さく限定される。

【0014】また、ベース領域のみにSiGeC混晶を使用し、エミッタ領域にSiを使用したHBTの場合、ベース領域のバンドギャップをエミッタ領域のバンドギャップより小さくしなければならないという制限と、格子不整合を結晶欠陥発生が生じない程度に抑えるためにベース領域の格子定数と膜厚を選択しなければならない制限から、SiGeC混晶の組成比として選択可能な範囲が限定され、結果、ベース領域とエミッタ領域とのバンドギャップの差が小さく制限される。また、エミッタ領域におけるバンドギャップの傾斜構造を用いることが出来ない。

【0015】本発明は上記問題点に鑑み、HBTにおいてバンドギャップと格子定数の選択の自由度を向上させることによりバンドギャップの差を大きくすることを可能にし、また、従来の構成では不可能であった格子整合系におけるHBTや傾斜型エミッタ構造の採用を可能にしたHBTを提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の半導体デバイスにおいては、特にエミッタ領域にSiとGeとCからなる三元混晶半導体SiGeCを使用することを特徴とする。

【0017】

【発明の実施の形態】

(SiGeC混晶の特徴) Si、Ge、Cはそれぞれ14族に属する半導体である。その物性は、格子定数がそれぞれ5.43Å (Si)、5.65Å (Ge)、3.57Å (C:ダイヤモンド)であり、バンドギャップが1.12eV (Si)、0.66eV (Ge)、5.47eV (C:ダイヤモンド)である。つまり、CはSi、Geの両者よりも格子定数が小さく、両者よりもバンドギャップが大きいという特徴を持つ。

【0018】従って、SiとGeの二元混晶SiGeの場合、混晶比によらず格子定数は必ずSi以下であり、バンドギャップはSi以上であったものが、Cを加えてSiGeCの三元混晶とすれば、バンドギャップと格子定数をSi以上にすることもそれ以下にすることも可能になる。

【0019】また、 $Si_{1-y}Ge_y$ の場合混晶比の自由度が1であるため、例えば格子定数を決めた場合yを決定することとなり、バンドギャップは一意に決まり両者を自由に選択することができない。なお、後述するように格子歪み加わっている場合同一の組成比でもバンドギャップが変化するが、結晶に加わる歪みはその結晶と結合させる結晶の格子定数により決まるため、単体で格子歪みを変化させることはできない。

【0020】これに対し、SiGeC混晶の場合混晶比の自由度が2であるため、格子定数を決定してもバンドギャップとしてある範囲から選択することができる。このため、ヘテロ結合を行う場合、格子整合をとりながらバンドギャップに違いを与えられるために格子不整合による歪みを抑制することができ、臨界膜厚の問題を緩和もしくは無くすることが可能となり、良好な結晶状態を持った混晶を必要な厚さだけ成長させることができる。また、急峻なヘテロ接合の場合に限らず、格子整合を保ちつつ連続的にバンドギャップを変化させることが可能になるため、いわゆる傾斜型バンド構造を実現することも可能となる。

【0021】この格子定数とバンドギャップの選択の自由度を示す一例を図5に示す。これは、1995年のJournal of Crystal Growth誌vol. 157の386~391頁に掲載されたJ. Kolodzeyにより計算された $Si_{1-9.22y}Ge_{8.22y}C_y$ 混晶のバンドギャップの組成比y依存性である。なお、計算は歪みが存在しない場合について行われている。この混

晶は $0 \leq y \leq 0.108$ の範囲においてSiと格子整合する。この図にはそれぞれ異なる三つの伝導帯のエネルギー準位が価電子帯の最高エネルギーを原点として描かれているが、この三つのエネルギー準位のうち最低のものがバンドギャップの値となる。図より明らかなように $y=0$ の時にバンドギャップはSi単体の場合の値1.12eVとなり、 $y=0.10$ で1.4eV程度となる。従って、Siに格子整合する混晶において、1.12eVから1.4eV程度まで自由にバンドギャップを選択することができ、最大約0.3eV程度までバンドギャップに差を与えることができる。この場合、Siに格子整合する混晶の例を取り上げたが、最小Cに格子整合する系から最大Geに格子整合する系まで、それぞれの格子定数においてある範囲でバンドギャップの値を選択することができる。

【0022】格子整合系における利点をまず述べたが、格子不整合系においてもSiGeC混晶を用いる利点は存在する。例えば、SiとSiGeの格子不整合を有するヘテロ接合においてSiをSiと格子定数が同じでよりバンドギャップの大きいSiGeC混晶で置き換えれば、バルク状態でのバンドギャップ差分だけSiGeとのバンドギャップの差をより大きくとることが可能になる。バンドギャップを連続に変化させる構造を採用する場合においても、同一の歪みまでを許容するならばSiGe二元混晶よりもバンドギャップの変化の範囲を広くとることが可能である。

【0023】また、SiGe混晶では必ずSiよりも格子定数が大きいため、Siとのヘテロ結合を行なった場合、Siは格子定数を広げられる向きに、SiGe混晶は狭められる向きに歪み応力を受ける。SiGeC混晶はSiよりも格子定数を大きくも小さくもできるので、Siに対してどちらの向きにも応力を与えられることになり、歪みの導入による素子特性制御を目指した格子不整合制御を行なう場合においてもSiGeに比べ取り得る格子定数の制御自由度が高く、格子歪みが存在しない場合のバンドギャップの自由度と組み合わせることにより、ヘテロ接合時にSiGeよりも大きな効果を得ることが出来る。

【0024】このSiGeC混晶の、格子定数とバンドギャップを一定の範囲で独立に変化させることのできる特徴を利用したことを特徴とする本発明のHBTについて説明する。

【0025】(実施例その1:エミッタ領域にSiGeC混晶を使用し、格子整合を取った例)まず、本発明請求項2に記載のHBTの一実施例について説明する。この一実施例の構造断面模式図を図6に示し、図7にこの実施例のHBTの動作時のエネルギー帯図を示す。

【0026】まず、p型Si基板61上に高濃度n型領域Si62を成長させ、その上にコレクタ領域となるn型Si層63を成長させ、その上にベース領域となるp型Si層64を成長させ、その上にエミッタ領域であるn型SiGeC混晶65を成長させる。これら、コレクタ領域、ベース領域、エミッタ領域の各接合界面は転位が発生しない

ようにエピタキシャル成長させている。これら、各領域のエピタキシャル成長はUHV-CVD法で行うことができる。そのソースとしては、Si領域の成長にはシランもしくはジシランを、SiGe領域の成長にはシランもしくはジシラン及びゲルマンを、SiGeC領域の成長にはシランもしくはメチルシラン等の有機シラン及びゲルマンもしくはメチルゲルマン等の有機ゲルマンおよび場合によりエチレンを使用することができる。伝導型を決定するドーピング用不純物（ドーパント）としては、n型不純物としてAs、Pなどを、p型不純物としてBなどを使用することができる。なお、これら各領域の結晶成長法に関しては以下の各実施例に共通となるので、後で詳述する。

【0027】このSiGeC混晶の組成比としてはベース領域のSiと格子定数が同一でまた、Siよりバンドギャップが大きくなるようにSi<sub>0.078</sub>Ge<sub>0.822</sub>C<sub>0.1</sub>の組成比を選択している。この組成比の場合、先に述べたようにバンドギャップは約1.4eVとなりベース領域のSiのバンドギャップより約0.3eV大きくなる。また、格子整合系であるので歪みによるバンドギャップ変化は存在しない。従って、温度300K（約27℃）の条件ではバンドギャップの差による $\beta_{\max}$ の改善効果は $\Delta E_g=0$ の場合に比べて約11000倍である。

【0028】このHBTの場合、基板、コレクタ領域、ベース領域、エミッタ領域のすべてで格子定数をSiに一致させているため、ヘテロ接合に伴う格子不整合は発生せず、従って格子不整合に起因する歪みによる格子欠陥は発生しない。また格子整合系であるため、臨界膜厚は存在しないため、希望する任意の膜厚を結晶成長させることができる。このように、SiGeC混晶をエミッタ領域に使用すれば、SiGe混晶によるHBTでは不可避であった格子不整合の問題を解決することが出来る。

【0029】（実施例2：格子歪みを積極的に導入した例）次に図8に本発明請求項3に記載のHBTの一実施例の構造断面図を示す。また、図9にこのHBTの動作時のエネルギー帯図を示す。このHBTの形成は、p型Si基板81上に高濃度n型領域Si82を成長させ、その上にコレクタ領域となるn型Si層83を成長させ、その上にベース領域としてp型SiGe混晶層84をエピタキシャル成長させ、その上にエミッタ領域であるn型SiGeC混晶85をエピタキシャル成長させることにより行う。

【0030】この実施例では、エミッタ領域のSiGeC混晶はバンドギャップがSiのバンドギャップより大きくなるように組成比が選択されている。先にあげたJ. Kolodzeyによる計算に従えば、Si<sub>0.078</sub>Ge<sub>0.822</sub>C<sub>0.1</sub>の組成比を選択すればこの混晶の格子定数はSiにほぼ一致し、バンドギャップを約1.4eVとすることができ、Siのバンドギャップ1.12eVよりも約0.3eV大きくすることができる。また、ベース領域のSiGeの組成比としてSi<sub>0.8</sub>Ge<sub>0.2</sub>が選択されている。この場合、ベース領域とコレクタおよびエミッタ領域との間で格子整合が取れていないため

歪みが発生し、ベース領域のバンド構造が変化してバンドギャップが歪みのない場合に比べ約0.1eV小さくなりバンドギャップは約1.0eVとなる。従ってベース、エミッタ間のバンドギャップ差は0.4eVとなる。なお、格子整合が取れていないために臨界膜厚が存在し、その値は約1000Åとなるので、ベースの厚みを900Åに抑えている。

【0031】なお、この実施例のようにベース領域にSiGe混晶を用いると、Geのキャリアの移動度がSiに比べ大きいと、ベースにおけるキャリアの走行速度が大きくなり、トランジスタの高速化を期待できる。

【0032】このように、エミッタ領域にSiよりも大きなバンドギャップをもつSiGeC混晶を使用すると、Siをエミッタ領域に使用したHBTに比べ、よりベース領域とのバンドギャップ差を与えることができるため、バンドギャップ差による性能改善効果をより多く得ることができる。

【0033】（実施例3：エミッタ領域でバンドギャップの変化を与えた例）次に図10に本発明請求項4に記載のHBTの一実施例の構造断面模式図を示す。また、動作時のエネルギー帯図を図11に示す。この実施例の場合、p型Si基板101上に高濃度n型領域102を成長させ、その上にコレクタ領域となるn型Si層103を成長させ、その上にベース領域となるp型Si層104を、そのベース上にエミッタ領域となるn型SiGeC混晶層105を成長させる。このエミッタ領域のSiGeC混晶はベース領域のSiと格子整合するように混晶比が選択されており、またベースとの接合部分において組成が単体のSiと同一で、それからエミッタ領域の内側に行くにしたがって格子整合を保ちつつCの組成比を大きくし、バンドギャップが空間的に連続に大きくなるように変化するようにしている。先述のJ. Kolodzeyらの計算によればSi<sub>1-9.22</sub>Ge<sub>8.22</sub>C<sub>y</sub>なる混晶比を用い、ベースとの接合部分でy=0、ベースからエミッタ領域の内側に行くにしたがいyの値を0.1まで連続に変化させればこのような構造を実現できる。バンドギャップの総変化量は約0.3eVである。

【0034】このように傾斜型エミッタ構造を採用すると、エミッタから注入される電子のエネルギーバリアがSiベースとなりベースオン電圧はほぼSiにより決定される。従ってベースオン電圧の均一性を高めることができ、また、デジタル回路に使用した場合には電源電圧を低く抑えることができる。

【0035】このような傾斜型エミッタ構造は従来のSiGe混晶を用いたHBTの場合、バンドギャップの変化に伴い必然的に格子定数の変化が生じ歪みが発生が不可避であった。しかし、本発明によれば、上記のように格子整合系でかつ傾斜エミッタ構造が実現可能になる。また、ここでは格子整合系の例をとりあげたが、格子不整合系においてもSiGe混晶を用いたHBTでは実現不可能だった

ベース領域へのSiの使用を可能にするなど、組成の配置構造などの自由度を高めることができる。

【0036】（実施例4：ベース領域でバンドギャップの変化を与えた例）次に図12に本発明請求項5に記載のHBTの一実施例の構造断面模式図を示す。このHBTの動作時のエネルギー帯図を図13に示す。この実施例の場合、p型Si基板121上に高濃度n型Si層122を成長させ、その上にコレクタ領域となるn型Si層123を成長させ、その上にベース領域となるp型SiGeC混晶層124を成長させる。その上にエミッタ領域となるn型SiGeC混晶層125を成長させる。このベース領域のSiGeC混晶、エミッタ領域のSiGeC混晶ともに格子定数をSiに一致するように組成比を選択している。また、ベース領域においては、エミッタ領域との接合部分からコレクタとの接合部分に向かうにしたがい、バンドギャップが連続的に小さくなるように組成比を空間的に変化させている。この実施例の場合はエミッタ領域の混晶の組成比としてSi0.078Ge0.822C0.1を選択し、ベース領域の組成比として、Si1-9.22yGe8.22yCyとし、エミッタ領域と接合部分で $y=0.08$ をとり、コレクタ領域との接合部分で $y=0$ を取るように空間的に連続に $y$ を変化させる。このような組成比を選択すると、エミッタ領域のバンドギャップは約1.4eVとなり、ベース領域のバンドギャップは約1.3eVから1.12eVまで連続に変化する。

【0037】このようにベース領域でバンドギャップが変化するような構造を、傾斜型ベース構造もしくはドリフト型ベース構造と呼ぶ。このようにバンドギャップに傾斜を与えるとベース領域に内部電場が発生し、キャリアをこの電界により加速することができるのでトランジスタの動作速度を向上させることができる。

【0038】この様な傾斜型ベース構造HBTをSiGe半導体で実現するには、先の傾斜型エミッタ構造の場合と同じく格子不整合の問題は不可避であった。しかし、SiGeC混晶をベース領域に使用すれば格子整合系で傾斜型ベース構造を実現可能となる。また、エミッタ領域にもSiGeC混晶を用いているために、ベース、エミッタ間で格子整合をとりつつエミッタ側のバンドギャップを大きくすることが可能である。なお、格子不整合系においてSiGeC半導体をベースおよびエミッタ領域に使用しても、先の傾斜エミッタ構造で述べたように、バンドギャップの傾斜変化増大などの設計自由度を高めることが可能となり、従来のSiGe系HBTに比べ長所を主張できる。

【0039】（実施例5：エミッタ領域およびベース領域でバンドギャップの変化を与えた例）次に本発明請求項6に記載のHBTの実施例について説明する。このHBTの構造模式図を図14に、動作時のエネルギー帯図を図15に示す。構造はp型Si基板141上に高濃度n型Si領域142を成長させ、その上にコレクタ領域となるn型Si層143を成長させ、その上にベース領域となるp型SiGeC混晶144を成長させる。そのベース上にエミッタ領域

となるn型SiGeC混晶層145を成長させHBTを構成する。各領域の形成は先述の実施例1同様UHV-CVD法を用いて行う。組成比としてはベース領域、エミッタ領域を通じてSi1-9.22yGe8.22yCyの組成比を選択し、ベース領域においてはコレクタ領域との接合部分で $y=0$ の値をとり、エミッタ領域との接合部分において $y=0.05$ となるまで空間的に連続に $y$ の値を増大させている。また、エミッタ領域においては、ベース領域との接合部分において $y=0.05$ をとり、そこからエミッタ領域内部に向かうにしたがい $y$ の値を連続的に $y=0.1$ まで増加させている。J. Kolodzeyの計算によれば、このような組成比にすれば、格子定数が一定でバンドギャップがベース領域、エミッタ領域で傾斜構造をなし、先に述べた傾斜型エミッタ構造と傾斜型ベース構造の組み合わせを実現し、またエミッタ領域のバンドギャップがベース領域のバンドギャップに比べて常に大きくなる。このような傾斜型エミッタ構造と傾斜型ベース構造の組み合わせた構造は、先に述べたそれぞれの傾斜構造の利点をともに備えている。このように、傾斜型エミッタ構造と傾斜型ベース構造を兼ね備える構造においてSiGeC混晶を用いる利点はそれぞれ個別に述べた利点と同様である。即ち、SiGe系HBTでは不可能な格子整合をとったバンドの傾斜構造を可能にし、格子不整合系の場合でもSiGe混晶にくらべバンド傾斜構造の傾斜度などの自由度を高めることができる。

【0040】以上の実施例に、すべてnpn型HBTを例として取り上げたが、無論pnp型HBTにおいても本発明の構造を採用することにより、同様の効果を得ることが出来る。

【0041】また、エミッタトップ型の構造において本発明の効果を説明したが、コレクタトップ型でも本発明の効果をすることができる。

【0042】（SiGeC混晶作成方法）これらHBTに使用するSiGeC混晶はイオン注入法やMBE法、もしくはUHV-CVD法により作製することができる。

【0043】イオン注入法を選択する場合、Si結晶にGeイオンとCイオンを注入することによりSiGeC混晶を作成することができ、本発明のHBTを作成することができる。また、Si結晶に対して注入を行うのではなく、SiGe混晶をあらかじめMBEやUHV-CVDといった別の方法で作成しておき、それに対しCイオンを注入する方法でもSiGeC混晶を作成でき、本発明を実施できる。このイオン注入法の利点としては、加速電圧を変化させることにより注入深さの制御が行える点である。傾斜型エミッタ等の空間的に組成比が変化するような実施例の場合、このように容易に空間的な組成比の制御ができる方法は都合がよい。しかしながらイオン注入法の場合、注入により導入される結晶欠陥の問題は不可避である。この結晶欠陥の除去には一般に熱処理を要するが、SiGeC半導体の場合高温処理を行うと $\beta$ -SiCが析出し、結晶性を低下させてしまう。従って、良好な品質の本発明HBTの作成にはMBE



法やUHV-CVD法の方が適している。

【0044】一方、MBE法およびUHV-CVD法の場合、原子層オーダーでの成長制御が可能であり、請求項4～6に記載されているような格子整合を保ちつつ組成比が空間的に変化するような構造も容易に制作することが可能である。このような組成比の空間的变化は、Si、Ge、Cそれぞれのソースの供給量を制御することにより実現できる。例えば、MBEおよびUHV-CVD法によりSiGeC混晶の組成比の空間変化の制御を行う場合、非常に薄い例えば数原子層単位で結晶成長を行い、各層の成長の際に実現したい組成比に対応してソースの供給量およびその比を制御し、各層の成長の切り替えの間ではソースの供給を停止する方法を用いれば高精度の組成比制御が可能となる。このようなMBE法およびUHV-CVD法を用いた結晶成長の場合、結晶欠陥の発生を防ぎながら成長を行うことができるため、結晶性回復のための高温処理は不要である。

【0045】なお、MBE成長法の場合SiGeC混晶を成長させる場合において2%程度までしかCの組成比を高めることが困難であることが知られているので、Cの組成比をより高めることができるUHV-CVD法の法が本発明のHBTの作製に適している。量産性の観点からもUHV-CVD法の方が優れている。

【0046】UHV-CVD法のガスソースとしてはシラン、ゲルマン、メチルシラン、メチルゲルマン、エチレンなどを使用してSiGeC混晶を成長させることが可能であり、本発明のHBTを作製することができる。なお、結晶成長における基板温度に関しては高温にすると $\beta$ -SiCが析出する問題が存在するので500度から600度程度で行なうことが好ましい。

【0047】(伝導型決定のためのドーパント) Si、SiGe、SiGeCともに4族だけで構成される半導体であるので、各領域でのn型不純物としてAs、Pなどの5族元素を使用することができ、p型不純物としてBなどの3族元素を使用することができる。

【0048】以上のようにHBTにおいてエミッタ領域にSiGeC混晶半導体を使用すれば、ベース領域とのヘテロ界面における格子不整合の問題を緩和もしくは解消しつつ、より大きなバンドギャップの差を与えたり傾斜バンド構造を実現することができ、また、バンドギャップや格子定数を空間的に変化させることが容易になるため、バンドギャップの変化による特性改善効果をより高め、高性能のHBTを実現することができる。

【図面の簡単な説明】

【図1】ベース領域とエミッタ領域のバンドギャップ差 $\Delta E_g$ による最高電流利得 $\beta_{max}$ の改善効果を示す図

【図2】SiGeC混晶のバンドギャップの組成比依存性を示す図

【図3】格子不整合と臨界膜厚の関係を示す図

【図4】ベース領域のみにSiGeCを使用したHBTの構造概

念図

【図5】SiGeC混晶におけるSiに格子整合する条件でのバンドギャップの組成比依存性を示す図

【図6】エミッタ領域にSiGeC混晶を使用し、ベース領域のSiと格子整合をとった本発明のHBTの構造概念図

【図7】図6のトランジスタの動作時のエネルギー帯図

【図8】ベース領域にSiGeを使用し、エミッタ領域にSiGeC混晶を使用した本発明のHBTの構造概念図

【図9】図8のトランジスタの動作時のエネルギー帯図

【図10】SiGeC混晶による傾斜エミッタ構造を採用した本発明の一実施例の構造概念図

【図11】図10のトランジスタの動作時のエネルギー帯図

【図12】SiGeC混晶による傾斜ベース構造を採用した本発明のHBTの一実施例の構造概念図

【図13】図12のトランジスタの動作時のエネルギー帯図

【図14】SiGeC混晶による傾斜エミッタおよび傾斜ベース構造を採用した本発明のHBTの一実施例の構造概念図

【図15】図14のトランジスタの動作時のエネルギー帯図

【符号の説明】

21 歪みが存在しない場合のバンドギャップ  
22 Siとの接合による歪みが存在する場合のバンドギャップ

61 p型Si基板  
62 高濃度n型Si  
63 n型Siからなるコレクタ領域  
64 p型Siからなるベース領域  
65 n型SiGeCからなるエミッタ領域  
66 コレクタ領域  
67 ベース領域  
68 エミッタ領域

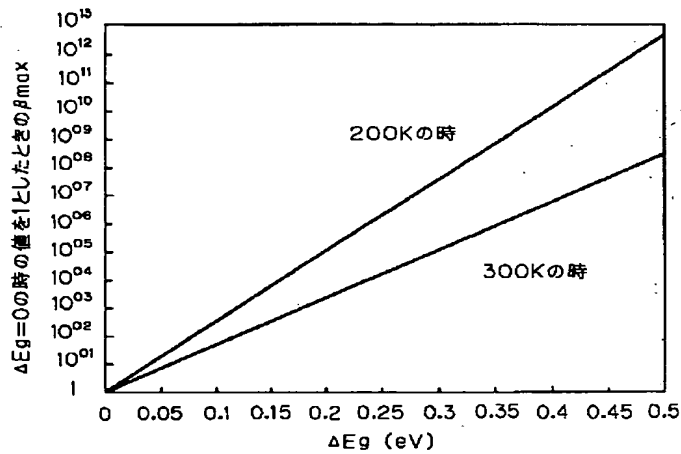
81 p型Si基板  
82 高濃度n型Si  
83 n型Siからなるコレクタ領域  
84 p型SiGeからなるベース領域  
85 n型SiGeCからなるエミッタ領域

86 コレクタ領域  
87 ベース領域  
88 エミッタ領域

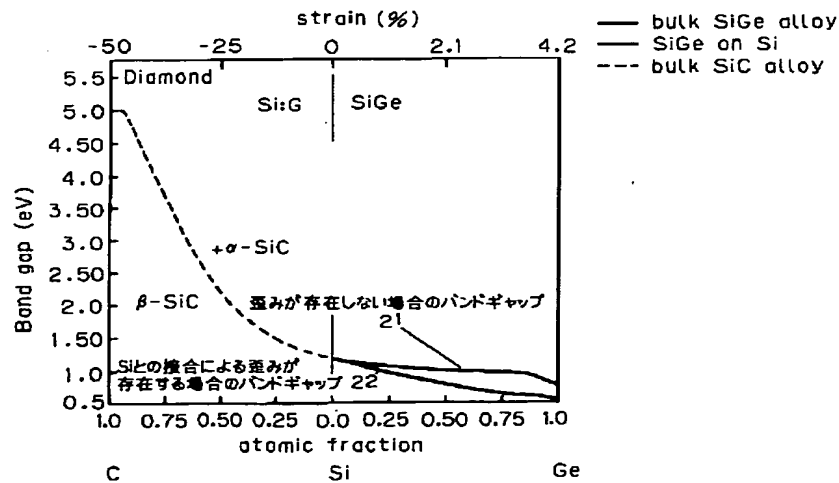
101 p型Si基板  
102 高濃度n型Si  
103 n型Siからなるコレクタ領域  
104 p型SiGeからなるベース領域  
105 n型SiGeCからなるエミッタ領域  
106 コレクタ領域  
107 ベース領域  
108 エミッタ領域

- |       |                          |          |                          |
|-------|--------------------------|----------|--------------------------|
| 1 2 1 | p 型 S i 基板               | 1 4 1    | p 型 S i 基板               |
| 1 2 2 | 高濃度 n 型 S i              | 1 4 2    | 高濃度 n 型 S i              |
| 1 2 3 | n 型 S i からなるコレクタ領域       | 1 4 3    | n 型 S i からなるコレクタ領域       |
| 1 2 4 | p 型 S i G e からなるベース領域    | 1 4 4    | p 型 S i G e からなるベース領域    |
| 1 2 5 | n 型 S i G e C からなるエミッタ領域 | 05 1 4 5 | n 型 S i G e C からなるエミッタ領域 |
| 1 2 6 | コレクタ領域                   | 1 4 6    | コレクタ領域                   |
| 1 2 7 | ベース領域                    | 1 4 7    | ベース領域                    |
| 1 2 8 | エミッタ領域                   | 1 4 8    | エミッタ領域                   |

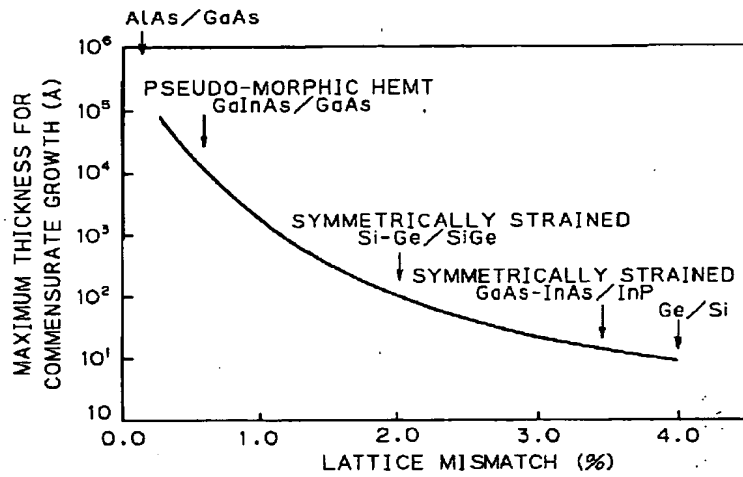
【図 1】



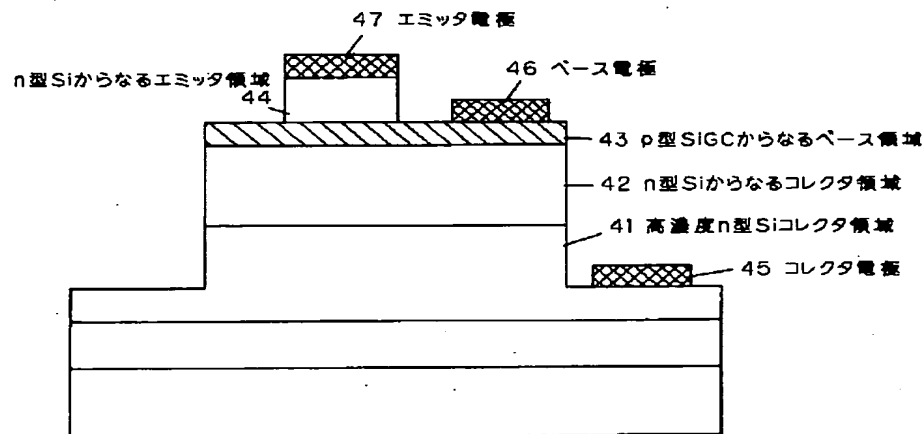
【図 2】



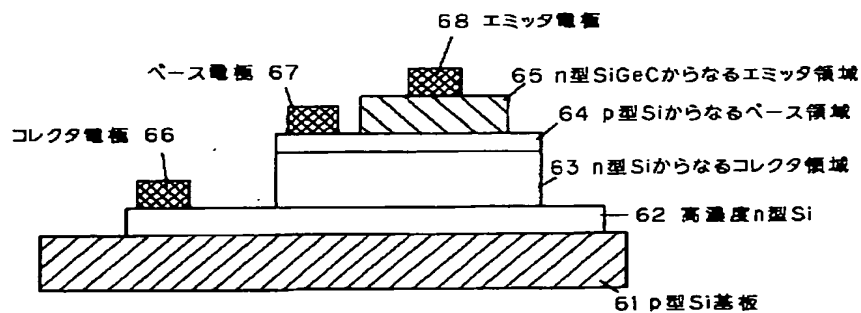
【図3】



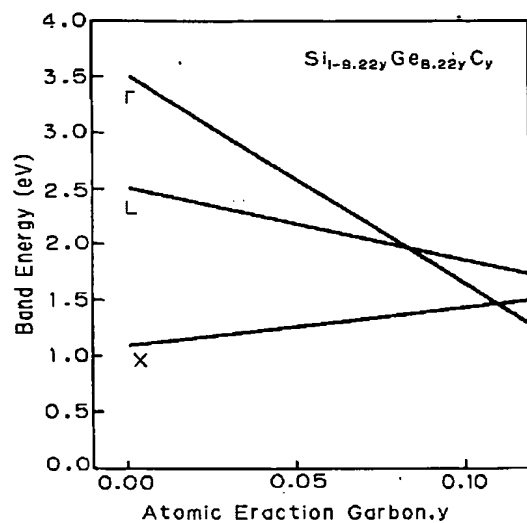
【図4】



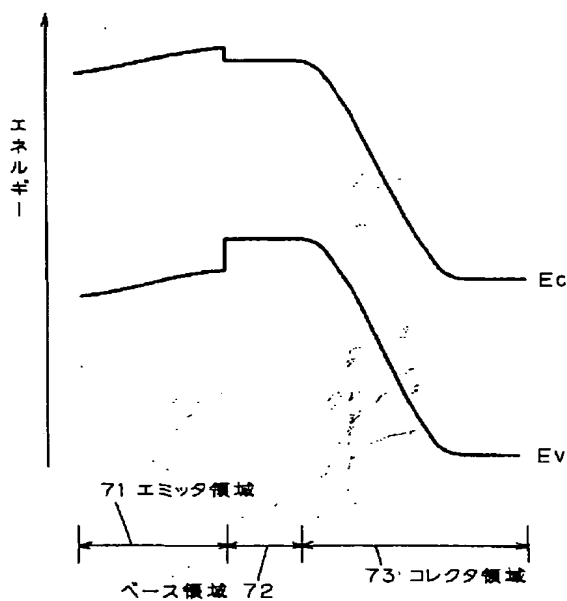
【図6】



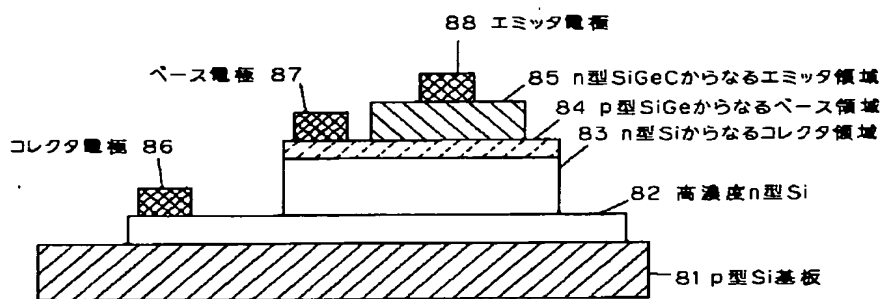
【図5】



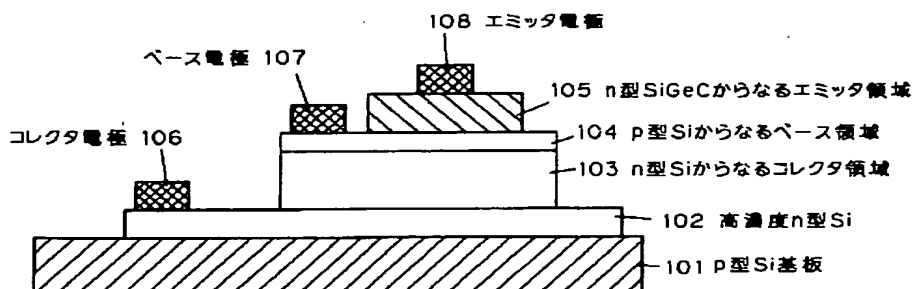
【図7】



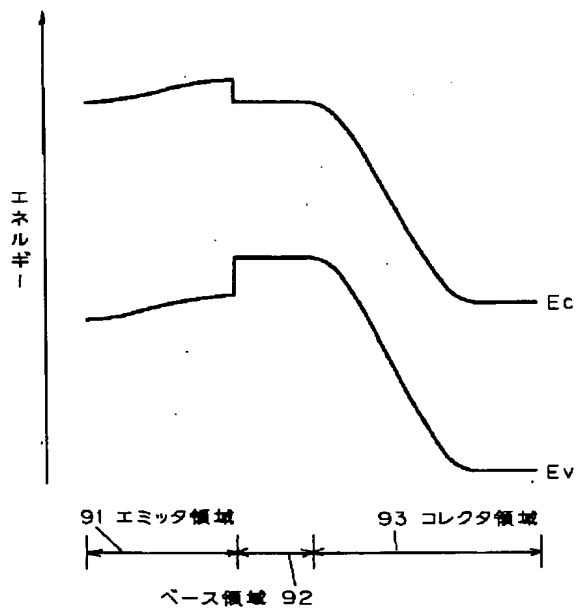
【図8】



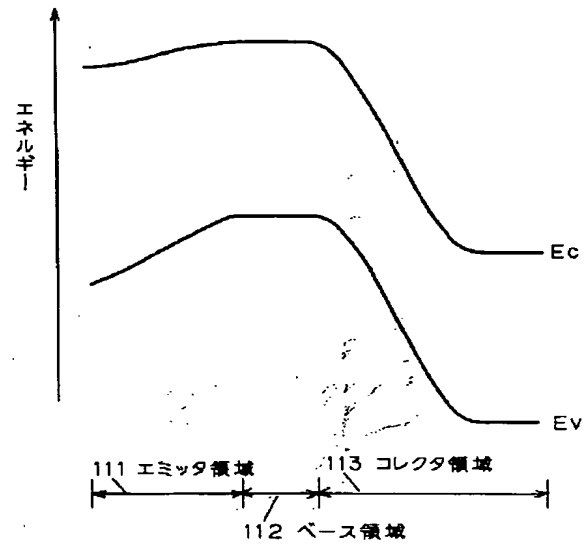
【図10】



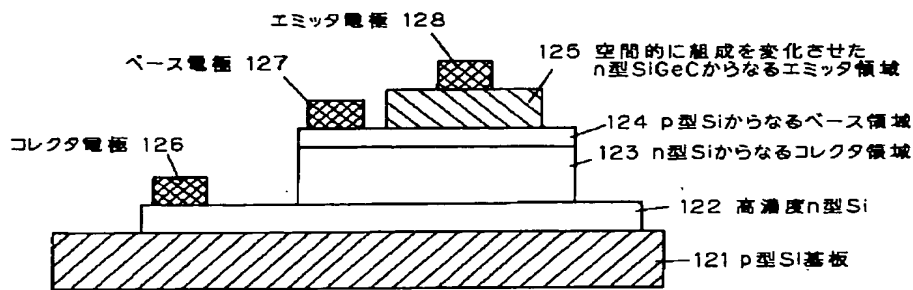
【図9】



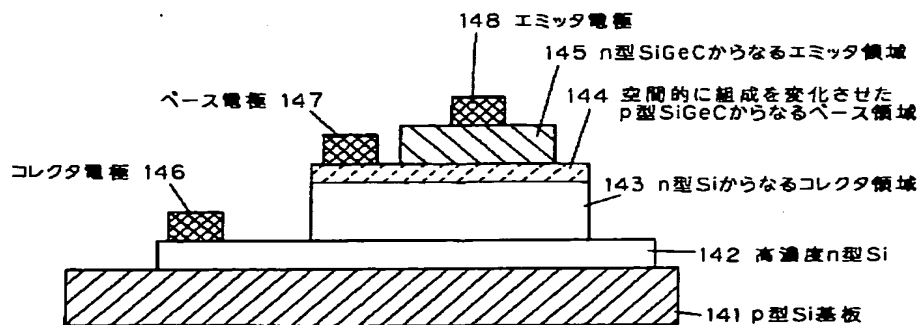
【図11】



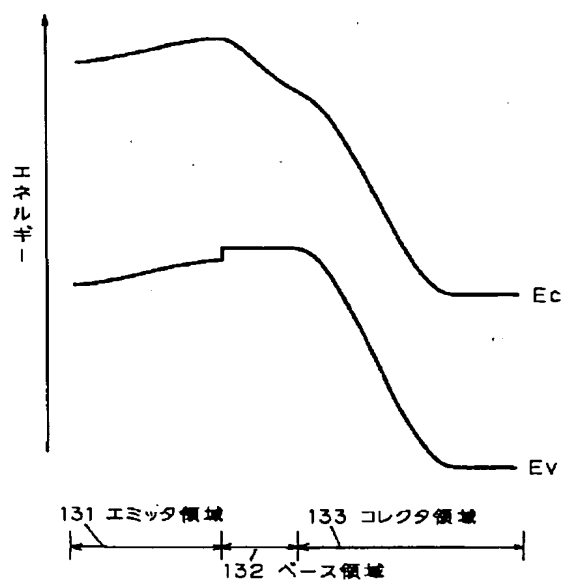
【図12】



【図14】



【図13】



【図15】

